

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-292556

(43) 公開日 平成5年(1993)11月5日

| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|---------|-----------|---------------|--------|
| H 0 4 Q 3/52 | 1 0 1 A | 9076-5K | | |
| H 0 4 J 3/00 | | T 8843-5K | | |
| 3/06 | | D 8843-5K | | |
| H 0 4 Q 11/04 | | | | |
| | | 9076-5K | H 0 4 Q 11/04 | F |

審査請求 未請求 請求項の数10(全 12 頁)

(21) 出願番号 特願平4-85575

(22) 出願日 平成4年(1992)4月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 芦 賢浩

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 ▲高▼取 正浩

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 富田 和子

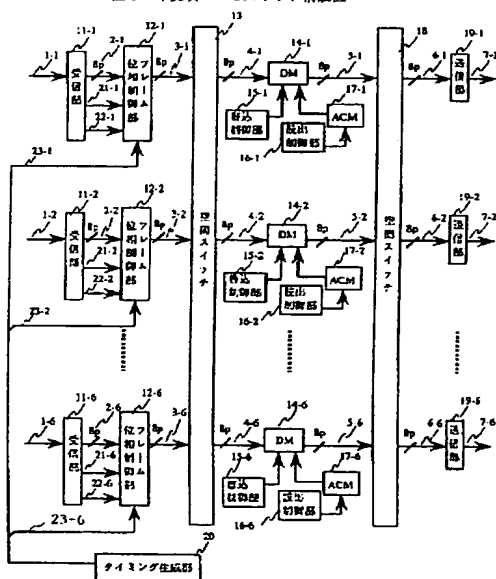
(54) 【発明の名称】 スイッチシステムおよびスイッチング方法

(57) 【要約】

【目的】 遅延時間を最小にした上で大規模スイッチを構成すること。

【構成】 入力フレーム間相互のフレーム位相をずらし、かつ、フレーム位相をずらした状態のままバイトスライスによりフレームを分割する。このとき入力フレームに付属するポインタを用いてフレーム内のバーチャルコンテナの位相を調整することにより遅延時間およびゲート数の増大を防ぐ。そして分割した単位ごとにスイッチングを行う。

図1 本発明によるスイッチ構成図



【特許請求の範囲】

【請求項1】複数の入力ハイウェイと複数の出力ハイウェイとを接続してスイッチングをするスイッチシステムにおいて、

各入力ハイウェイに対応して設けられ、入力ハイウェイのフレーム位相を予め指示された位相分づつずらして出力する位相制御部と、各位相制御部からのフレームを予め指示された出力ハイウェイに対してスイッチングするスイッチ部とを有し、

前記スイッチ部は、それぞれの位相制御部から各フレームの位相差を利用して、空間的にタイムスロットごとにスイッチする空間スイッチと、対応する出力ハイウェイに対してタイムスロットの入れ替え処理をする時間スイッチと、入れ替え後のタイムスロットを入力ハイウェイされたフレームデータに変換するためにスイッチする空間スイッチとを備えることを特徴とするスイッチシステム。

【請求項2】請求項1において、入力フレームは、フレームのデータ部分の先頭位置を示す情報を備え、各位相制御部は、入力ハイウェイのフレームのデータ部分の先頭位置を示す情報を書き替えるポインタ生成部をそれぞれ有し、

前記ポインタ生成部は、予め指示された位相分と、指示された基準点と入力ハイウェイのフレームとの位相差とからフレームのデータ部分の先頭位置を示す情報を算出して、フレームのデータ部分の先頭位置を示す情報を書き替えることにより、フレームの位相をずらすことを特徴とするスイッチシステム。

【請求項3】請求項2において、前記それぞれのポインタ生成部は、入力フレーム間相互のフレーム位相をM(Mは自然数)タイムスロット分づつずらすことを特徴とするスイッチシステム。

【請求項4】N(Nは2以上の自然数)本の入力ハイウェイとN本の出力ハイウェイを接続し、フレーム長がPタイムスロット(Pは自然数)のスイッチシステムのスイッチング方法において、

入力ハイウェイ上のフレーム位相を入力ハイウェイごとにM(Mは自然数でかつPの約数)タイムスロットずつ相対的にずらし、第1のN入力N出力の空間スイッチにより、前記N本の各入力ハイウェイの基準点から第1(iは1以上N以下の自然数)番目のタイムスロットブロックを、前記第1のN入力N出力の空間スイッチのN本の出力ハイウェイのうち、第[(i-1)/M]%N+1番目(ただし、[(i-1)/M]%N+1は、iから1を引いた値をMで割った商を、Nで割ったあまりに1を加えることを示す)のハイウェイ上に出力するように制御し、次に、各ハイウェイ単位にタイムスロット入れ換え処理を行うことを特徴とするスイッチング方法。

【請求項5】請求項4において、タイムスロット入れ換

え処理終了後、第2のN入力N出力の空間スイッチにより、前記第2のN入力N出力の空間スイッチのN本の各入力ハイウェイ上の基準点から第j(jは1以上N以下の自然数)番目のタイムスロットブロックを、前記第2のN入力N出力の空間スイッチのN本の出力ハイウェイのうち第[(j-1)/M]%N+1番目のハイウェイ上に出力するように制御することを特徴とするスイッチング方法。

【請求項6】請求項4または5において、前記フレームがオーバーヘッド部分とデータ部分とからなる場合、前記入力ハイウェイから入力されるフレームの位相をそれぞれMタイムスロットずつ相対的にずらす手段は、前記N本の入力ハイウェイ上のフレームのそれぞれの中のデータ部分のみを各ハイウェイに一意に対応するメモリに書き込み、次に、前記メモリからデータ部分を読み出す際に、N本のハイウェイ上の読み出しフレームのフレームの位相をそれぞれMバイトずつ相対的にずらした状態で読み出すことを特徴とするスイッチング方法。

【請求項7】請求項6において、フレーム内のデータ部分の先頭位置をフレーム内の任意の位置に設定でき、かつ、その位置をオーバーヘッド内に設けた指示子により数値で指示できる場合、前記フレーム相互の位相をずらすために用いる手段は、まず、前記N本の入力ハイウェイ上のフレームのそれぞれの中のデータ部分のみを各ハイウェイに一意に対応するメモリに書き込み、次に、メモリからデータ部分を読み出す際に、N本のハイウェイ上の読み出しフレームのフレームの位相をそれぞれMタイムスロットずつ相対的にずらした状態で読み出し、その際、フレーム内におけるデータ部分の先頭位置をさす指示子の値を再計算し、読み出しフレームに付加することを特徴とするスイッチング方法。

【請求項8】請求項4、5、6または7において、前記Mの値は1であることを特徴とするスイッチング方法。

【請求項9】請求項3、4、5、6または7において、フレーム長をP(Pは自然数)タイムスロットとするとNはPの約数であることを特徴とするスイッチング方法。

【請求項10】請求項3、4、5、6、7または8において、前記フレームは、CCITT勧告G.709に定めるフレームであることを特徴とするスイッチング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、STM(Synchronous Transfer Mode)伝送装置およびSTM交換機に用いるスイッチの方式およびスイッチシステムに関する。

【0002】

【従来の技術】従来の時分割型スイッチは、「デジタル通信技術(p.247-251)」(田中公男著：東海大学出版会発行 ISBN4-486-00898-7 C3355)に示される。上記従来技術は、入力ハイウェイ上の信号を全て一旦多重化

3

した上でデータメモリに書き込み、データメモリの読み出し側で読み出し順序を制御し、つぎに、出力ハイウェイ単位に分離することによりスイッチング処理を実現する。

【0003】上記公知例による方法を図11に示す。図11に示す従来の方法では、多重部40において、全ての入力ハイウェイ上のフレームを多重する。したがって、入力ハイウェイの数が増大した場合にはスイッチ回路の動作速度が増大する。動作速度はスイッチ回路に用いるデバイスに依存して上限が設定される。この上限以上に動作速度が増大するのを防ぐためには、まず、入力フレームに対して直列並列変換を施してから多重処理を行う方法が一般的に用いられる。

【0004】ここで、入力ハイウェイの数がN（Nは2以上の自然数）である場合、入力ハイウェイ上での信号伝送速度とスイッチ回路の動作速度とを同一速度に保つには、入力フレームの入力ハイウェイ上における並列展開数をN倍にすればよい。例えば、入力ハイウェイ上での信号の並列展開数が8ビット並列であったとすると、全入力ハイウェイの数がN本の場合には、各入力フレームの並列展開数を（8×N）ビット並列に展開した後に多重すれば、入力ハイウェイ上の信号伝送速度とスイッチ回路の動作速度を同一にできる。図11において、N=6、フレーム長=12バイトとした場合の多重前のハイウェイ3-1～3-6上のフレームフォーマットを図12に示す。ハイウェイ3-1～3-6上のフレームにそれぞれ名称A～Fを与えた。図12において、A-1は、フレームAの第1番目のタイムスロットであることを示す。フレームは8ビットに並列展開されているので、1タイムスロットは1バイトに相当する。

【0005】また、多重後のハイウェイ4-1～4-6上のフレームフォーマットを図13に示す。図11において、各受信部は、それぞれのハイウェイからのフレームを受信して、フレームの先頭を検出し、8ビットに並列展開し、並列展開したフレームを各フレーム位相制御部に出力する。各フレーム位相制御部は、タイミング生成部20からの基準信号に基づいて、フレームの先頭の位相を合わせて多重部40に出力する。多重部40では、図12に示すようなフォーマットのフレームが、各フレーム位相制御部から入力されて、一時的に、ラッチ用フリップフロップなどの記憶手段に記憶され、図13に示すようなフォーマットのフレームに多重されて出力される。この場合、例えば、図13に示すA-6のタイムスロットが出力される時間は、図12に示すA-6のタイムスロットの入力時間より後になる。フレームのデータを記憶するデータメモリ（DM）に、各フレームがそれぞれ入力されて同時にスイッチングをするために、図13に示すフレームは、それぞれのDMに同期して入力される。このため、少なくともA-6のタイムスロットの入力時間より後に、A-1～A-6のタイムスロットの出力がされ

4

るので、その分遅延する。各DMには、入力されたフレームのデータがシーケンシャルに書き込まれて、予めアドレスコントロールメモリに書き込まれている内容が示すデータメモリのアドレスにしたがって、データが読みだされる。この時、アドレスコントロールメモリの内容は、出力ハイウェイに対応するデータメモリのアドレスが書き込まれている。アドレスコントロールメモリの内容により読みだされることでスイッチングされて、分離部41に入力される。分離部41は、各DMから出力されたデータを、一時的に、ラッチ用フリップフロップなどの記憶手段に記憶し、多重部における動作とは逆に、図12に示すようなフォーマットのフレームに分離し、それぞれの送信部に各フレームを出力する。各送信部は、直列に変換してそれぞれの出力ハイウェイに各フレームのデータが出力される。

【0006】

【発明が解決しようとする課題】上記の処理を行うと、図11に示す多重部40には、並列展開処理のために（入力ハイウェイ数×並列展開数）個のラッチ用フリップフロップが必要になる。つまり、入力ハイウェイ数が増大すればするほど多重部のラッチによる遅延が増大し、かつ、ラッチに要するゲート数も増大する。また、この現象は、分離部41においても発生する。すなわち、多重された状態でメモリから読み出される出力フレームを出力ハイウェイに分離出力するために（入力ハイウェイ数×並列展開数）個のラッチ用フリップフロップが必要となる。

【0007】本発明の目的は、スイッチング処理に必要な多重部および分離部における遅延時間および回路規模を増大させることなく大規模スイッチ装置およびスイッチング方法を提供することにある。

【0008】

【課題を解決するための手段】本発明は、複数の入力ハイウェイと複数の出力ハイウェイとを接続してスイッチングをするスイッチシステムにおいて、各入力ハイウェイに対応して設けられ、入力ハイウェイのフレーム位相を予め指示された位相分づつずらして出力する位相制御部と、各位相制御部からのフレームを予め指示された出力ハイウェイに対してスイッチングするスイッチ部とを有し、前記スイッチ部は、それぞれの位相制御部から各フレームの位相差を利用して、空間的にタイムスロットごとにスイッチする空間スイッチと、対応する出力ハイウェイに対してタイムスロットの入れ替え処理をする時間スイッチと、入れ替え後のタイムスロットを入力ハイウェイされたフレームデータに変換するためにスイッチする空間スイッチとを備える。上記入力フレームは、フレームのデータ部分の先頭位置を示す情報を備え、位相制御部は、入力ハイウェイのフレームのデータ部分の先頭位置を示す情報を書き替えるポインタ生成部を有し、前記ポインタ生成部は、予め指示された位相分と、

5

指示された基準点と入力ハイウェイのフレームとの位相差とからフレームのデータ部分の先頭位置を示す情報を算出して、フレームのデータ部分の先頭位置を示す情報を書き替えることにより、フレームの位相をずらす。

【0009】前記それぞれのポインタ生成部は、入力フレーム間相互のフレーム位相をM(Mは自然数)タイムスロット分ずつずらすようにする。

【0010】上記スイッチシステムのスイッチング方法は、以下に示すようになる。

【0011】入力ハイウェイ上のフレーム位相を入力ハイウェイごとにM(Mは自然数でかつPの約数)タイムスロットずつ相対的にずらし、第1のN入力N出力の空間スイッチにより、前記N本の各入力ハイウェイの基準点から第i(iは1以上N以下の自然数)番目のタイムスロットブロックを、前記第1のN入力N出力の空間スイッチのN本の出力ハイウェイのうち第 $\{ \{ (i-1)/M \} \% N + 1 \}$ 番目(ただし、 $\{ (i-1)/M \} \% N + 1$ は、iから1を引いた値をMで割った商を、Nで割ったあまりに1を加えることを示す)のハイウェイ上に出力するように制御し、次に各ハイウェイ単位にタイムスロット入れ換え処理を行う。

【0012】タイムスロット入れ換え処理終了後、第2のN入力N出力の空間スイッチにより、前記第2のN入力N出力の空間スイッチのN本の各入力ハイウェイ上の基準点から第j(jは1以上N以下の自然数)番目のタイムスロットブロックを、前記第2のN入力N出力の空間スイッチのN本の出力ハイウェイのうち第 $\{ \{ (j-1)/M \} \% N + 1 \}$ 番目のハイウェイ上に出力するように制御する。

【0013】前記フレームがオーバーヘッド部分とデータ部分とからなる場合、前記入力ハイウェイから入力されるフレームの位相をそれぞれMタイムスロットずつ相対的にずらす手段は、前記N本の入力ハイウェイ上のフレームのそれぞれの中のデータ部分のみを各ハイウェイに一意に対応するメモリに書き込み、次に、前記メモリからデータ部分を読み出す際に、N本のハイウェイ上の読み出しフレームのフレームの位相をそれぞれMバイトずつ相対的にずらした状態で読み出す。

【0014】フレーム内のデータ部分の先頭位置をフレーム内の任意の位置に設定でき、かつ、その位置をオーバーヘッド内に設けた指示子により数値で指示できる場合、前記フレーム相互の位相をずらすために用いる手段は、まず、前記N本の入力ハイウェイ上のフレームのそれぞれの中のデータ部分のみを各ハイウェイに一意に対応するメモリに書き込み、次に、メモリからデータ部分を読み出す際に、N本のハイウェイ上の読み出しフレームのフレームの位相をそれぞれMタイムスロットずつ相対的にずらした状態で読み出し、その際、フレーム内におけるデータ部分の先頭位置をさす指示子の値を再計算し、読み出しフレームに付加する。

6

【0015】前記Mの値は1としてもよい。また、フレーム長をP(Pは自然数)タイムスロットとするとNはPの約数としてもよい。

【0016】また、前記フレームは、CCITT勧告G.709に定めるフレームであってもよい。

【0017】

【作用】各入力ハイウェイに対応して設けられたそれぞれの位相制御部は、入力ハイウェイのフレーム位相を予め指示された位相分ずつずらして出力する。例えば、入力フレーム間相互のフレーム位相をMタイムスロット分ずつずらす。このとき、各位相制御部のポインタ生成部は、予め指示された位相分と、指示された基準点と入力ハイウェイのフレームとの位相差とからフレームのデータ部分の先頭位置を示す情報を算出して、フレームのデータ部分の先頭位置を示す情報(入力フレームに付属するポインタ)を書き替えることによりフレーム内のパチャルコンテナの位相を調整し、遅延時間の増大を防ぐ。

【0018】つぎに、スイッチ部では、第1のN入力N出力の空間スイッチが、前記N本の各入力ハイウェイの基準点から第i(iは1以上N以下の自然数)番目のタイムスロットブロックを、前記第1のN入力N出力の空間スイッチのN本の出力ハイウェイのうち、第 $\{ \{ (i-1)/M \} \% N + 1 \}$ 番目(ただし、 $\{ (i-1)/M \} \% N + 1$ は、iから1を引いた値をMで割った商を、Nで割ったあまりに1を加えることを示す)のハイウェイ上に出力するように制御する。

【0019】つぎに、時間スイッチは、タイムスロットを対応する出力ハイウェイに対して入れ替え処理を行うことにより、各ハイウェイ上で所望の状態にタイムスロット入れ換えを行う。

【0020】つぎに、第2のN入力N出力の空間スイッチは、前記第2のN入力N出力の空間スイッチのN本の各入力ハイウェイ上の基準点から第j(jは1以上N以下の自然数)番目のタイムスロットブロックを、前記第2のN入力N出力の空間スイッチのN本の出力ハイウェイのうち第 $\{ \{ (j-1)/M \} \% N + 1 \}$ 番目のハイウェイ上に出力するように制御する。

【0021】上記操作により、スイッチング遅延時間および回路規模を抑える。

【0022】

【実施例】本発明の第1の実施例の説明を図1を用いて行う。図1は、6本の入力ハイウェイを6本の出力ハイウェイに接続するスイッチシステムである。各入力ハイウェイ上のフレームには、それぞれA、B、C、D、E、Fの名称を与えることとする。図1において、各フレーム位相制御部は、各入力ハイウェイに対応して設けられ、入力ハイウェイのフレーム位相を予め指示された位相分ずつずらして出力する。また、空間スイッチ13は、第一の空間スイッチであり、それぞれの位相制御部

7

から各フレームの位相差を利用して、空間的にタイムスロットごとにスイッチする。空間スイッチ13の後段は、時間スイッチを構成し、対応する出力ハイウェイに対してタイムスロットの入れ替え処理をする。時間スイッチは、入力されたデータを蓄積するデータメモリ14-1~14-6、スイッチング処理を行うためのアドレスコントロールメモリ、データメモリの書き込み制御をする書き込み制御部およびデータメモリの読み出し制御をする読み出し制御部を有している。空間スイッチ18は、第二の空間スイッチであり、入れ替え後のタイムスロットを入力ハイウェイされたフレームデータに変換するために

【0023】ここで、本実施例で使用するフレームの構成を図2に示す。図2に示すフレームはオーバーヘッド部分とデータ部分（以下、バーチャルコンテナと称する）とからなる。フレーム長は12バイトである。オーバーヘッドは3バイト、バーチャルコンテナ部分は9バイトである。また、本実施例では、入力ハイウェイからのフレームは8ビット並列展開してあるので、1タイムスロットは1バイトに相当する。図2に示すフレームの構成は例示であるので、フレーム長はPタイムスロット（ただし、Pは、自然数）で、オーバーヘッド部分およびバーチャルコンテナ部分の領域は任意に定めることができる。

【0024】また、バーチャルコンテナは、オーバーヘッドに対して位相が任意に決定できる。すなわち、図3に示すオーバーヘッド内にもつポインタ（1バイト）により、バーチャルコンテナの先頭がポインタから何バイト離れているかを2進数で表示する。ポインタは、入力ハイウェイのフレームのデータ部分の先頭位置を示す情報であり、たとえば、ポインタとバーチャルコンテナの先頭とが10バイト離れているときは、ポインタには10という値（2進表記では、1010）が表示されている。なお、図3に示すように1フレーム内に収まらない部分は次のフレームにまたがって収容される。このポインタの示す値により、フレームのバーチャルコンテナの先頭、すなわち、実際のデータ部先頭がどこから始まるかがわかる。

【0025】なお、図2に示すフレームは、図4に示すCCITT勧告G.709に定められるSDH（Synchronous Digital Hierarchy）およびANSIで定めるSONET（Synchronous Optical Network）のフレームを簡略化したものであり、本発明は両者にも適用することを考慮してある。

【0026】図1において、受信部11-1~11-6では、まず、受信フレームのフレーム同期およびバイト同期などのオーバーヘッド終端処理を行う。バイト同期により、フレームの先頭を検出し、バイト同期が確立した状態で直列並列変換し、8ビット並列に展開し、並列展開したフレームを各フレーム位相制御部に出力する。

8

【0027】つぎに、フレーム位相制御部12-1~12-6の動作の説明を図5を用いて行う。図5は、図1に示す各フレーム位相制御部の内部回路を示している。図5において、フレーム位相制御部は、メモリ30、書き込み制御部31、読み出し制御部32、ポインタ生成部33および選択器34を有している。メモリ30は、入力したフレームデータを蓄積し、書き込み制御部31により書き込みを制御され、読み出し制御部32により読み出しが制御される。書き込み制御部31は、各受信部からのフレーム先頭信号およびクロックに基づいて、書き込み指示をする。読み出し制御部32は、読み出し側のタイミング生成部20からのフレーム先頭信号およびクロックの基準信号に基づいて、読み出し制御をする。ポインタ生成部33は、予め指示された位相分と、指示された基準点と入力ハイウェイのフレームとの位相差とからフレームのデータ部分の先頭位置を示す情報を算出して、フレームのデータ部分の先頭位置を示す情報を書き替えることにより、フレームの位相をずらす。選択器34は、オーバーヘッドの領域の時には、ポインタ生成部33からの出力を選択し、データ部の領域の時には、メモリからの出力を選択する。

【0028】フレーム位相制御部では、入力ハイウェイ上のフレーム内のバーチャルコンテナ部分のみが必要なデータであり、オーバーヘッドの部分の情報は使用しない。このため、メモリ30には、書き込み制御部31が、各受信部からのフレーム先頭信号およびクロックに基づいて、オーバーヘッドの部分の情報は書き込まないようにする。ここで、メモリ30の書き込み側のフレーム位相は、受信フレームの伝送経路によって異なるので任意のフレーム位相になる。

【0029】そして、前記メモリ30から読み出すときは、読み出し側のタイミング生成部20からのフレーム先頭信号およびクロックの基準信号に基づいて、フレームの先頭の位相を合わせて空間スイッチ13に出力する。出力は、フレーム位相にあわせてメモリ30から読み出して出力し、オーバーヘッドの部分は、ポインタ生成部33からの出力が選択器34により選択されて出力する。この時、各フレーム位相制御部の内部のそれぞれのメモリ30の出力フレームの位相は、1タイムスロット（もしくは、Mタイムスロット、ただし、Mは自然数）ずつずらすようにタイミング生成部20が制御する。ここで、各メモリの書き込み側と読み出し側とはフレーム位相が異なるので、各バーチャルコンテナのフレーム内における位相をポインタを用いて調整する。この調整をポインタ生成部33が行う。ポインタ生成部33は、受信フレームのデータとフレーム先頭信号とから、受信フレームのポインタの値を検出する。ポインタの値は、日較差や年較差などの変動以外にはほとんど変わらないので、あらかじめ定めた数のフレームのポインタを検出してそれが同じであれば、その値をポインタ値として蓄

えておき、以後は、該ポインタ値をポインタの書き換えに利用することができる。また、ポインタ生成部33は、メモリへのデータ書き込み時とメモリからのデータの読み出し時との位相差を検出し、タイミング生成部20から指示されたタイミングで出力されたデータに新たにポインタの値を書き込む。例えば、この位相差を検出するのに、ポインタ生成部33の内部に有するダウンカウンタにポインタの値を設定し、基準点から該フレームの先頭位置の指示があるまで、クロックに従ってダウンカウントすることにより検出することができる。さらに、ポインタ生成部33は、タイミング生成部20からMタイムスロットずらすことを指示されて、ポインタの値を算出する。すなわち、ポインタ生成部33は、受信フレームのデータのポインタの値と、基準点と受信フレームとの位相差と、基準点から何タイムスロットずらすかのMタイムスロットとから、出力する際のフレームのバーチャルコンテナの位置を算出し、ポインタ値として書き込み、オーバーヘッドの部分を加算する。

【0030】この様子を図8に示す。図8に示す(a)は、フレーム位相制御部への入力フレームフォーマットを示し、(b)は、フレーム位相制御部からの入力フレームフォーマットを示す。図8においては、ハイウェイ2-1のフレームの先頭位置を基準点とし、他のハイウェイのフレームは伝送経路が異なるので位相がずれている。この場合、ハイウェイ2-2は、基準点から1タイムスロットスライドさせ、各ハイウェイごとに順々に1タイムスロットスライドさせ、ハイウェイ2-6は、5タイムスロットスライドさせている。フレーム位相制御部において、ポインタの値を書き替えることにより、ハイウェイ2-2のバーチャルコンテナの位置と、ハイウェイ3-2のバーチャルコンテナの位置とは、ポインタの書き換えに要する処理時間の遅れだけずれただけで、ほとんど遅延していない。図8には示していないが、フレームは連続してきているため、例えば、Mタイムスロットずらすのにポインタの値がMより小さい場合には、バーチャルコンテナは、その前のフレームに収容されて出力される。ここで入力ハイウェイの基準点からスライドさせるタイムスロットの数の値は、フレーム長の約数にしたほうがよい。

【0031】このように、ポインタ生成部33を用いてポインタの値を書き込むことにより、フレーム内の任意の位置にバーチャルコンテナを収容でき、その結果として遅延を最小にしてフレーム位相を制御できる。

【0032】つぎに、空間スイッチ13での処理を示す。各入力ハイウェイ3-1~3-6上のフレームの空間スイッチ13への入力フォーマットを図6に示す。空間スイッチ13は、6入力6出力の空間スイッチである。この空間スイッチを操作することにより、出力側のフレームを図7に示すように変換する。すなわち、前記6本の入力ハイウェイ上のフレームの先頭を基準点とし、基準点から第1

(iは1以上12以下の自然数)番目のタイムスロットを、前記6入力6出力の空間スイッチの6本の出力ハイウェイのうち第[(i-1)%6+1]番目のハイウェイ上に出力するように制御する。例えば、図6に示す、前記6本の入力ハイウェイ上のフレームのうち、第1番目のハイウェイ(3-1)上の3番目のタイムスロット(A-3)を、図7に示す、前記6入力6出力の空間スイッチの6本の出力ハイウェイのうち、第3番目のハイウェイ(4-3)上の基準点から第1番目のタイムスロットに出力するように制御する(3から1を引いて6で割った余りに1を加えると3になるので、3番目の出力ハイウェイ上に出力する)。また、図6に示す、第3番目のハイウェイ上の1番目のタイムスロット(C-1)を、図7に示す前記6入力6出力の空間スイッチの6本の出力ハイウェイのうち、第1番目のハイウェイ上の基準点から第3番目のタイムスロットに出力するように制御する。例えば、図6に示す、A-3タイムスロットは、第1のハイウェイの基準点から3つ目のタイムスロットなので、第3のハイウェイに出力する。また、C-1は第3のハイウェイの1つめのタイムスロットなので第1のハイウェイに出力する。

【0033】上記操作により、入力フレームを(8×6)ビットに並列展開し、かつ、バイト多重したことになる。しかも上記方式では、多重操作にはシフトレジスタのかわりに空間スイッチを用いているため、遅延時間も小さく、かつ、ゲート数も格段に小さくなっている。

【0034】つぎに、空間スイッチ13の出力は、図7に示すように1バイトずつにバイトスライスされた状態でハイウェイ4-1~4-6に転送され、時間スイッチのデータメモリ(以下、DMと称する。)14-1~14-6にそれぞれ書き込まれる。

【0035】各DMには、アドレスコントロールメモリ(以下、ACMと称する。)が付随しており、その内容はすべて同じである。各DMには、入力されたフレームのデータがシーケンシャルに書き込まれてる。入力フレームが、各ハイウェイ間で1クロックずつずれて入ってくるので、それぞれのDMの動作も1クロックずつずれて同じ動作をすることになる。つまり、図6に示すように、DM14-2にA-2を書き込んでいるときには、DM14-1には、B-1を書き込むことになる。

【0036】読み出し側では、ACMから読み出されるアドレス値に従い、DMからデータを読み出す。予めアドレスコントロールメモリに書き込まれている内容が示すデータメモリのアドレスにしたがって、データが読みだされる。この時、アドレスコントロールメモリの内容は、出力ハイウェイに対応するデータメモリのアドレスが書き込まれている。アドレスコントロールメモリの内容により読みだされることでスイッチングされる。この場合のフレームの様子を図9に示す。ここで読み出し順序は、F、E、D、C、B、Aの順としている。

11

【0037】以上の原理説明は、データメモリに対してデータをシーケンシャルに書き込み、アドレスコントロールメモリの内容を用いて、読出制御部がデータメモリからデータをランダムに読み出す方式（シーケンシャル書込／ランダム読出方式）を例にしたが、他の方式の場合についても適用可能である。例えば、書込カウンタ値を用いてデータメモリにアドレスコントロールメモリの内容を用いて、データをランダムに書き込み、データメモリからデータをシーケンシャルに読み出す方式（ランダム書込／シーケンシャル読出方式）でも適用できる。作用については、シーケンシャル書込／ランダム読出方式と同じとなる。

【0038】そして、空間スイッチ18では、図10に示すようにフレームを変形する。即ち、空間スイッチ18の入力ハイウェイ上の基準点から第 j （ j は1以上 N 以下の自然数）番目のタイムスロットを、空間スイッチ18の6本の出力ハイウェイのうち第 $[(j-1)/6+1]$ 番目のハイウェイ上に出力するように制御する。例えば、A-3は第3のハイウェイの第1番目のタイムスロットなので、第1のハイウェイに出力される。この結果、ハイウェイ6-1～6-6には、それぞれF、E、D、C、B、Aのフレームが出現しており、スイッチング動作が完了したことがわかる。

【0039】以上の操作により、スイッチングを実行し、送信部においてオーバーヘッドの挿入などの処理を行って出力ハイウェイ7-1～7-6へ各フレームを送出する。

【0040】つぎに、第2の実施例を図14、図15、図16および図17を参照して説明する。第2の実施例は、スイッチ構成は上記実施例と同じ構成であり、 N （ N は2以上の自然数）本の入力ハイウェイと N 本の出力ハイウェイを接続し、フレーム長が P タイムスロット（ P は自然数）のスイッチシステムにおける、スライドさせるタイムスロット数 M （ M は自然数でかつ P の約数）が1より大きい場合について示す。スライドさせるタイムスロット数が1より大きい場合、例えば、2タイムスロットずつずらしたときには、各フレーム位相制御部からの入力フレームフォーマットは、図14に示すように、ハイウェイ3-1には、基準点から順にA-1、A-2、…、が出力され、ハイウェイ3-2には、B-1、B-2…のように出力され、同様に、それぞれのフレームは、2タイムスロットずつて出力される。

【0041】また、空間スイッチ13からの出力フレームフォーマットは、図15に示すように、ハイウェイ4-1には、基準点から順にA-1、A-2、B-1、B-2…のように2タイムスロットずつ出力される。ハイウェイ4-2には、それから2タイムスロットずれて、基準点から順にA-3、A-4、B-3、B-4…のように出力され、以下、2タイムスロットが同じハイウェイに出力される。

12

【0042】この場合、入力ハイウェイ上のフレーム位相を入力ハイウェイごとに M （ M は自然数でかつ P の約数）タイムスロットずつ相対的にずらし、第1の N 入力 N 出力の空間スイッチにより、前記 N 本の各入力ハイウェイの基準点から第 i （ i は1以上 N 以下の自然数）番目のタイムスロットブロックを、前記第1の N 入力 N 出力の空間スイッチの N 本の出力ハイウェイのうち第 $[(i-1)/M]\%N+1$ 番目（ただし、 $[(i-1)/M]\%N+1$ は、 i から1を引いた値を M で割った商を、 N で割った余りに1を加えることを示す）のハイウェイ上に出力するように制御し、次に、各ハイウェイ単位にタイムスロット入れ換え処理を行う。

【0043】例えば、図13に示す、前記3本の入力ハイウェイ上のフレームのうち、第1番目のハイウェイ(3-1)上の3番目のタイムスロット(A-3)を、図15に示す、前記3入力3出力の空間スイッチの3本の出力ハイウェイのうち、第2番目のハイウェイ(4-2)上の基準点から第1番目のタイムスロットに出力するように制御する（3から1を引いて2で割った商を、3で割り、余りに1を加えると2になるので、2番目の出力ハイウェイ上に出力する）。また、図14に示す、第3番目のハイウェイ上の1番目のタイムスロット(C-1)を、図15に示す前記3入力3出力の空間スイッチの3本の出力ハイウェイのうち、第1番目のハイウェイ上の基準点から第5番目のタイムスロットに出力するように制御する。

【0044】つぎに、空間スイッチ13の出力は、図15に示すように1バイトずつにバイトスライスされた状態でハイウェイ4-1～4-3に転送され、時間スイッチのデータメモリ14-1～14-3にそれぞれ書き込まれて、それぞれのタイムスロットは、対応する出力ハイウェイに対して入れ替え処理される。図16に、データメモリからの出力フレームフォーマットを示すように、上記実施例の時間スイッチと同様に動作する。

【0045】そして、空間スイッチ18では、図17に示すようにフレームを変形する。即ち、タイムスロット入れ換え処理終了後、第2の N 入力 N 出力の空間スイッチ18により、前記第2の N 入力 N 出力の空間スイッチの N 本の各入力ハイウェイ上の基準点から第 j （ j は1以上 N 以下の自然数）番目のタイムスロットブロックを、前記第2の N 入力 N 出力の空間スイッチの N 本の出力ハイウェイのうち第 $[(j-1)/M]\%N+1$ 番目のハイウェイ上に出力するように制御する。

【0046】以上のようにして、空間スイッチ13と、時間スイッチと、空間スイッチ18とにより、スイッチングの処理をすることができる。

【0047】ここで、入力ハイウェイ数 N の値は、フレーム長の約数にしたほうがよい。また、入力ハイウェイ数がフレーム長の約数でない場合には、ダミータイムスロットを挿入することで対応できる。

【0048】上記2つの実施例では、分離操作にはシフ

トレジスタのかわりに空間スイッチを用いてあるため、遅延時間も小さく、かつ、ゲート数も格段に小さくなっている。

【0049】上記のように、多重部および分離部で空間スイッチを用いることで遅延およびゲート数の増大を防ぐ。

【0050】なお、本説明では入力ハイウェイ数および出力ハイウェイ数を簡単のために6本もしくは3本としたが、実際には2以上の任意の自然数でも可能である。

【0051】また、本説明ではフレーム長を簡単のために12バイトとしてあるが、これも任意の自然数で可能である。

【0052】また、入力ハイウェイの数はフレーム長の約数であることが望ましい。

【0053】

【発明の効果】本発明のスイッチング方法によれば、スイッチ内部の信号遅延時間を最小にしたスイッチ処理が可能になり、信号遅延時間の小さい大容量の時間スイッチを構成できる。

【図面の簡単な説明】

【図1】本発明によるスイッチ構成図。

【図2】フレームフォーマット。

【図3】ポインタの機能およびバーチャルコンテナのフレームへのマッピングを表す説明図。

【図4】CCITT勧告G.709に定めるフレーム構成図。

【図5】フレーム位相制御部の構成図。

【図6】空間スイッチ13への入力フレームフォーマット。

【図7】空間スイッチ13からの出力フレームフォーマット。

【図8】フレーム位相制御部の働きを示す図。

【図9】データメモリからの出力フレームフォーマット。

ト。

【図10】空間スイッチ18からの出力フレームフォーマット。

【図11】従来の方法によるスイッチ構成図。

【図12】多重部への入力フレームフォーマット。

【図13】多重部からの出力フレームフォーマット。

【図14】第2の実施例における、空間スイッチ13への入力フレームフォーマット。

【図15】第2の実施例における、空間スイッチ13からの出力フレームフォーマット。

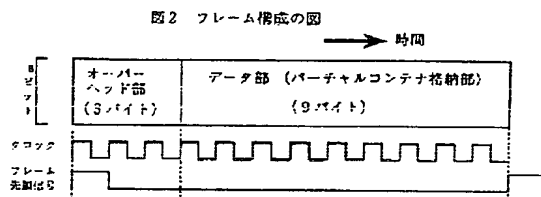
【図16】第2の実施例における、データメモリからの出力フレームフォーマット。

【図17】第2の実施例における、空間スイッチ18からの出力フレームフォーマット。

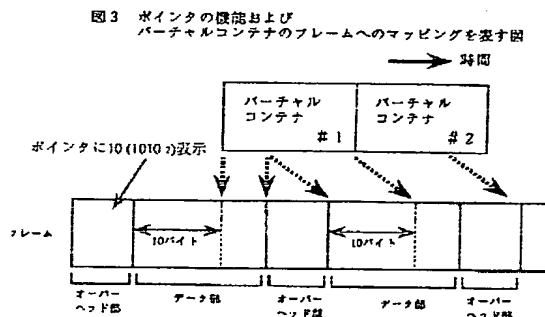
【符号の説明】

1-1・1-2・・・1-6…入力ハイウェイ、2-1・2-2・・・2-6…ハイウェイ、3-1・3-2・・・3-6…ハイウェイ、4-1・4-2・・・4-6…ハイウェイ、5-1・5-2・・・5-6…ハイウェイ、6-1・6-2・・・6-6…ハイウェイ、7-1・7-2・・・7-6…出力ハイウェイ、11-1・11-2・・・11-6…受信部、12-1・12-2・・・12-6…フレーム位相制御部、13…空間スイッチ、14-1・14-2・・・14-6…データメモリ、15-1・15-2・・・15-6…書込制御部、16-1・16-2・・・16-6…読出制御部、17-1・17-2・・・17-6…アドレスコントロールメモリ、18…空間スイッチ、19-1・19-2・・・19-6…送信部、20…タイミング生成部、21-1・21-2・・・21-6…受信クロック、22-1・22-2・・・22-6…受信フレーム先頭信号、23…従来方法の場合のタイミング信号、23-1・23-2・・・23-6…本特許によるタイミング信号、30…メモリ、31…書込制御部、32…読出制御部、33…ポインタ生成部、34…選択器、40…多重部、41…分離部。

【図2】

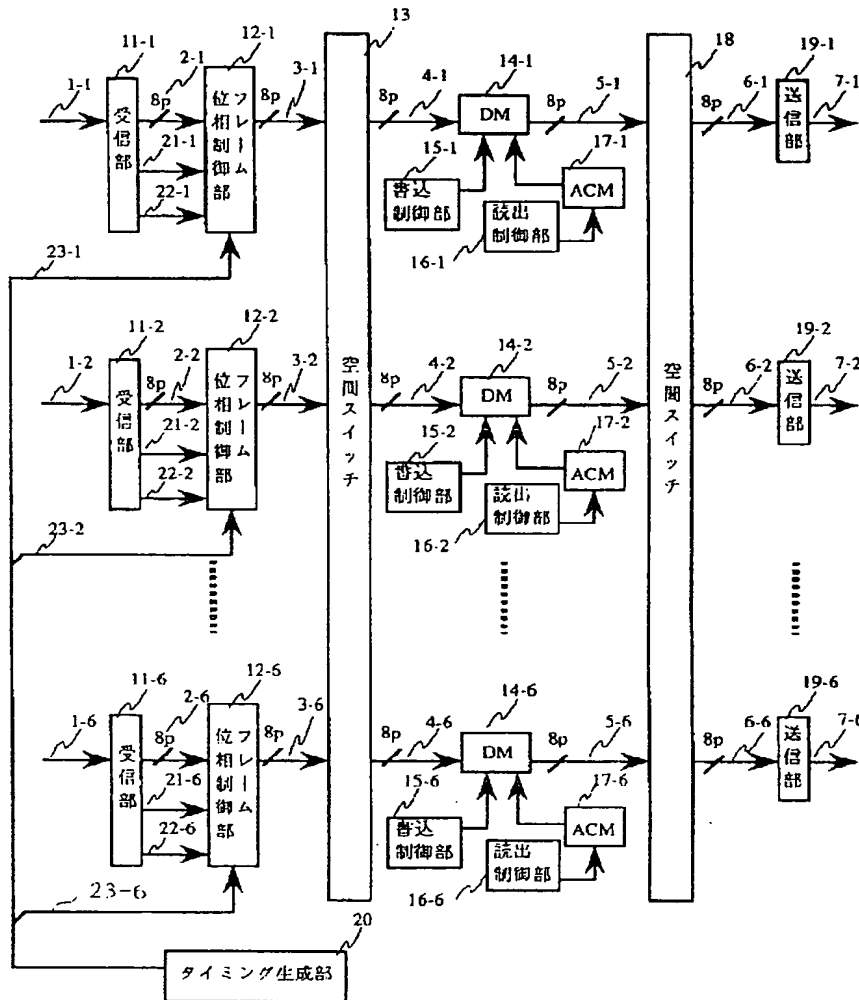


【図3】



【図1】

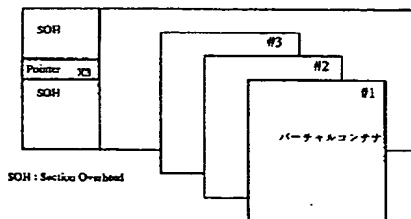
図1 本発明によるスイッチ構成図



【図1】

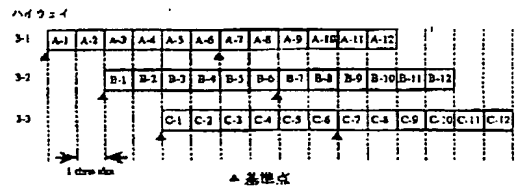
【図1 1】

図4 CCITT勧告G.709に定めるフレーム構成の図



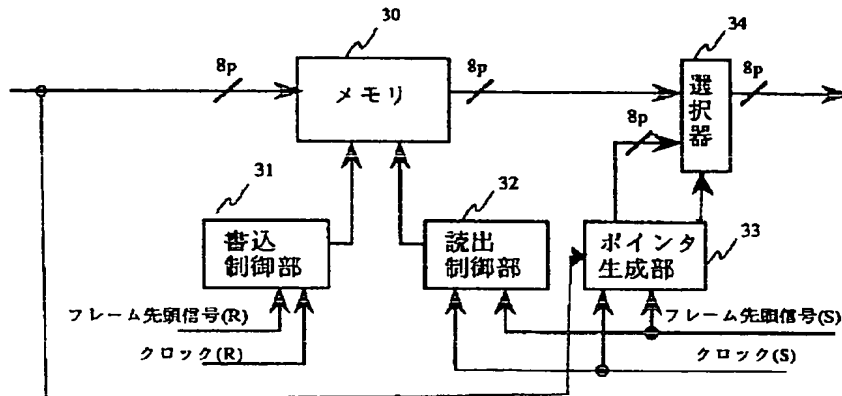
SOH: Section Overhead

図14 空間スイッチ13への入力フレームフォーマット(第2の実施例)



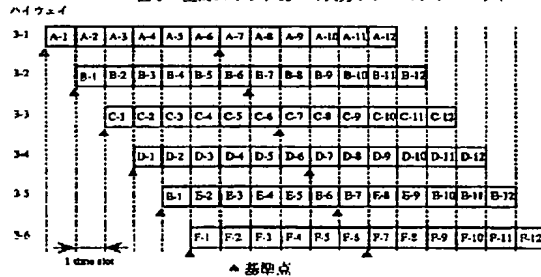
【図5】

図5 フレーム位相制御部の構成図



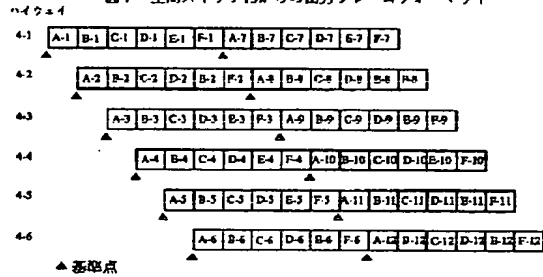
【図6】

図6 空間スイッチ13への入力フレームフォーマット



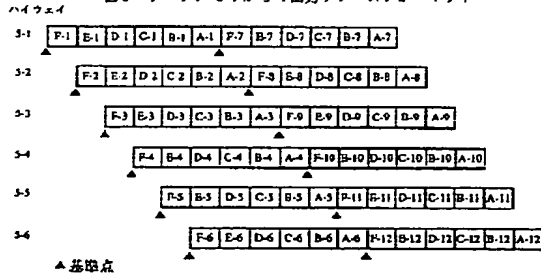
【図7】

図7 空間スイッチ13からの出力フレームフォーマット



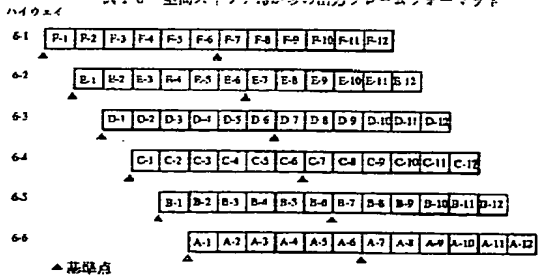
【図9】

図9 データメモリからの出力フレームフォーマット

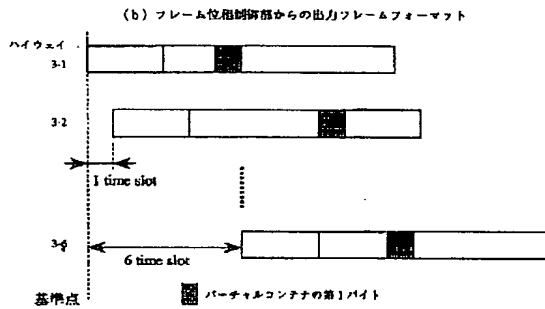
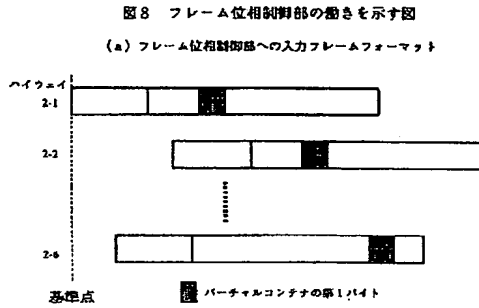


【図10】

図10 空間スイッチ18からの出力フレームフォーマット



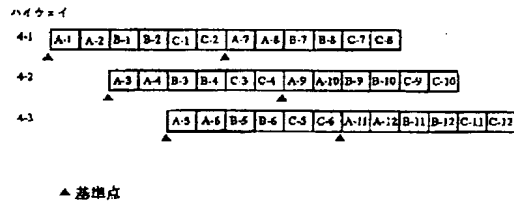
【図8】



【図13】

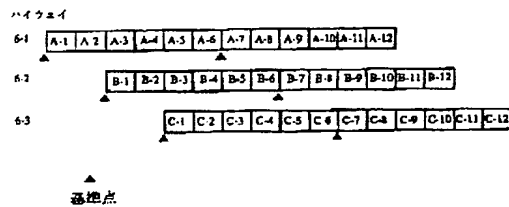


図15 空間スイッチ13からの出力フレームフォーマット(第2の実施例)

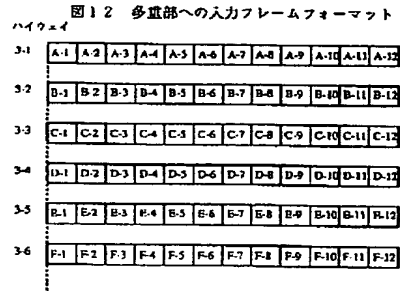


【図17】

図17 空間スイッチ18からの出力フレームフォーマット(第2の実施例)

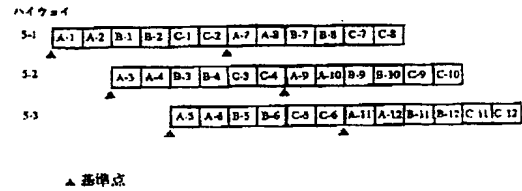


【図12】



【図16】

図16 データメモリからの出力フレームフォーマット(第2の実施例)



【図15】

【図11】

図11 従来の方法によるスイッチ構成図

